

FLEX 10K デバイス : デンシティ・リーダー

TECHNICAL BRIEF 22

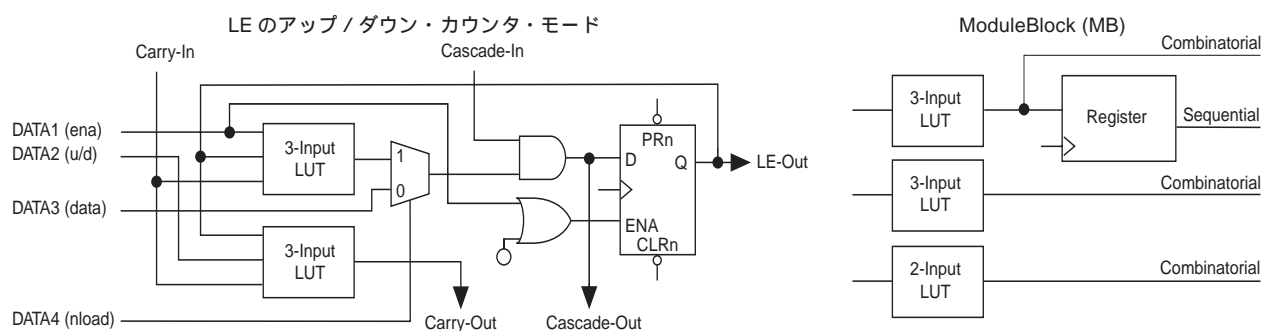
JUNE 1997

プリント基板 (PCB) を設計する際に、最良のデザイン・ソリューションを得るためには、使用するデバイスの集積度、価格、入手のしやすさなど、多くの要素を考慮する必要があります。FLEX[®] 10K デバイスは最高の集積度を提供しているだけでなく、他の多くの機能により「Time-to-Market」を実現するデバイスとして選択されるようになっていました。このテクニカル・ブリーフは、FLEX 10K デバイスが提供する利点を解説し、他社の高集積デバイスとの比較を行ったものです。

デバイスの集積度

競合するデバイス間の集積度の比較は、簡単な作業ではありません。例えば、FLEX 10K デバイスの基本ビルディング・ブロックはロジック・エレメント (LE) となっており、アルテラは各 LE を 12 ユーザブル・ゲートと規定しています。同じように、Actel 社のエンベデッド・システム (ES) プログラマブル・ゲートアレイ (SPGA) の基本ビルディング・ブロックは ModuleBlock (MB) となっており、各 MB が 16 ユーザブル・ゲートと規定されています。しかし、アルテラ応用技術部がこの MB を評価した結果、LE と MB のゲート数が実際にはほとんど同じであることが判明しました。図 1 は LE と MB のアーキテクチャを示したものです。両者の違いは、MB には追加の LUT があることと、LE にはマルチプレクサと追加の AND ゲートがあることだけです。両者のユーザブル・ゲートを計算した場合、MB に追加されている LUT のゲート数は LE に追加されているマルチプレクサと AND ゲートのゲート数に等しくなります。この結果、Actel 社の 100,000 ゲート・デバイス (A65ES100) は、アルテラの 70,000 ゲート・デバイス (EPF10K70) の集積度とほぼ同等になります。

図 1 LE と MB のアーキテクチャ



また、LE のアーキテクチャは 4 種類の動作モード (ノーマル、演算、アップ/ダウン・カウンタ、クリアブル・カウンタ) を実現することができ、高い柔軟性を提供します。デザインの構成時に、MAX+PLUS[®] II が 4 種類のモードをフルに活用して、最も効率な動作モードを選択します。例えば、デザインに大きなファン・インが必要となる場合は、4 入力のノーマル・モードが使用されます。これに対して、MB は 4 入力のモードを提供していません。

性能と価格

FLEX 10K アーキテクチャの連続した配線構造は、高速で予測可能な配線遅延を実現します。これに対して、Actel の ES デバイスはセグメント化された配線構造を採用しているため、性能が一定しません。表 1 は、アルテラ応用技術部の評価により判明した EPF10K70 の中で最も低速のスピード・グレードと A65ES100 デバイスとの性能の比較を示したものです。また、最速のスピード・グレードを使った比較でも、同じ様な結果が得られました。

表 1 EPF10K70 と A65ES100 の性能比較

デバイス	スピード・グレード	Clock-to-Output 遅延 (ns)	レジスタ間の遅延 (ns)、注(1)	ベンチマーク周波数 (MHz)、注(2)
A65ES100	標準	13.8、注(3)	38.8 ~ 76.1	13.1 ~ 25.8
EPF10K70	-4	12.7、注(4)	24.2	41.3

表中の注：

- (1) レジスタ間の遅延は Actel Reprogrammable SPGAs Preliminary Advance Information と Altera の 1996 Data Book、MAX+PLUS II 開発システムから得られた数値です。
- (2) ベンチマーク周波数はレジスタ間の遅延の逆数を取り、平均的なアプリケーションでのシステム・クロック周波数として表されています。このレジスタ間のパスには、組合せ回路を構成している 3 個の LE と配線リソースを介してもう一方のレジスタをドライブしているレジスタが含まれています。
- (3) Actel 社の Reprogrammable SPGAs Preliminary Advance Information は、A65ES100-1 スピード・グレードの「Clock-to-Output」遅延を 12 ns と表記しています。また、A65ES100-1 のスピード・グレードは、Standard スピード・グレードより 15% 高速であるとしており、「Clock-to-Output」遅延は約 (12 ns) $\times (1.15) = 13.8$ ns となります。
- (4) ソース：Altera 1996 Data Book

表 2 は、FLEX 10K デバイスと ES SPGA デバイスの集積度、価格、配線構造に関する違いを示したものです。

表 2 EPF10K70 デバイスと A65ES100 デバイスの集積度、価格、配線構造

デバイス	スピード・グレード	集積度、注(1)	価 格	配線構造
A65ES100	標準	73,000 ゲート	\$348、注(2)	セグメント化
EPF10K70	-4	72,000 ゲート	\$175、注(3)	連続

注：

- (1) MB/LE 当たり、12 ユーザブル・ゲートとして計算
- (2) 1996 年 10 月 21 日付け、Actel のプレス・リリース、Actel Announce the Industry's First Family of System Programmable Gate Arrays ; ES "System on a Chip" Family Offers Up to 400,000 Programmable Gates; Includes Embedded ASIC Cores からのものである。
- (3) 1997 年第 3 四半期における量産価格 (1-5K 個)

供給状況

「Time-to-Market」の実現でもっとも重要となるのが、デバイスの供給状況です。FLEX 10K デバイス・ファミリでは、10,000 から 130,000 ゲート範囲の集積度を持つデバイスがすでに供給されています。現時点で、Actel の高集積デバイスは供給されていません。表 3 は、FLEX 10K デバイスと ES SPGA デバイスの供給状況を示したものです。

表 3 FLEX 10K デバイスと ES SPGA デバイスの供給状況

FLEX 10K デバイス	供給状況	ES SPGA デバイス	供給予定時期 注(1)
EPF10K70	入手可能	A65ES100	1997 年上半期
EPF10K100	入手可能	A65ES150	未発表
EPF10K130V	入手可能	A65ES200	未発表

注：

- (1) ソース：1996 年 10 月 21 日付け、Actel のプレス・リリース、Actel Announce the Industry's First Family of System Programmable Gate Arrays ; ES "System on a Chip" Family Offers Up to 400,000 Programmable Gates; Includes Embedded ASIC Cores

詳細は以下に示す資料を参照して下さい。カッコ内はアルテラのドキュメント番号です。

- Gate Counting Methodology for Altera's FLEX 10K Family of Embedded Programmable Logic Devices (WP-GAEPLF-01)
- Altera 1996 Data Book より、FLEX 10K Embedded Programmable Logic Family Data Sheet (F10K-02) (日本語版「FLEX 10K エンベデッド・プログラマブル・ロジック・ファミリ」)

上記の資料の請求は下記にご請求下さい。

- 日本アルテラ (株) 電話：03-3340-9480
- 販売代理店：(株)アルティマ 電話：045-939-6113
- (株)パルテック 電話：045-477-2000
- アルテラの World-wide Web サイト <http://www.altera.com>

日本アルテラ株式会社

〒163-04 東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱 261 号
TEL. 03-3340-9480 FAX. 03-3340-9487

Copyright © 1997 Altera Corporation. Altera, MAX, MAX+PLUS, MAX+PLUS II, FLEX, FLEX 10K, EPF10K70, PF10K100, EPF10K130V は Altera Corporation の米国および該当各国における trademark または service mark です。他のブランド名、製品名は該当各社の trademark です。ここに記載された内容は予告なく変更される場合があります。

